

[Number of appeal against examiner's decision of]

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード* (参考)
H 0 1 L 27/146		H 0 4 N 5/335	E 4 M 1 1 8
31/10			U 5 C 0 2 4
H 0 4 N 5/335		H 0 1 L 27/14	A 5 F 0 4 9
		31/10	A

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願2000-297380 (P2000-297380)

(22) 出願日 平成12年9月28日 (2000.9.28)

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 大庭 宏明

東京都港区芝五丁目7番1号 日本電気株式会社社内

(74) 代理人 100108578

弁理士 高橋 昭男 (外3名)

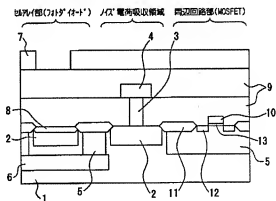
Fターム (参考) 4M18 AA05 AA10 AB01 BA14 CA04  
EA01 EA15 FA06 FA50 GB09  
GC024 CX03 CY47 GX03 GY31 GZ36  
5F049 MA02 NA04 NA05 NB03 QA11  
RA02 UA20

(54) 【発明の名称】 CMOSイメージセンサ及びCMOSイメージセンサの製造方法

(57) 【要約】 (修正者)

【課題】 暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを提供する。

【解決手段】 セルアレイ部の周りに基板内のノイズ電荷を吸収する領域を形成する。ノイズ電荷吸収領域には、フォトダイオードと同時にPN接合が形成され、その一端が電源電圧に固定される。このノイズ電荷吸収領域はセルアレイ部と周辺回路部との間に形成される。



#### 【特許請求の範囲】

【請求項1】 アレイ状に単位セルが配置されたセルアレイ部とこのセルアレイ部を操作する周辺回路部とを有するCMOSイメージセンサにおいて、前記セルまたは前記セルアレイ部の周囲にノイズ電荷吸収領域が設けられ、前記ノイズ電荷吸収領域には第一導電型シリコン基板表面に形成された第二導電型拡散層が含まれ、該第二導電型拡散層が一定電位に固定されていることを特徴とするCMOSイメージセンサ。

【請求項2】 前記ノイズ電荷吸収領域が、前記セルアレイ部と前記周辺回路部との間に形成されていることを特徴とする請求項1記載のCMOSイメージセンサ。

【請求項3】 前記ノイズ電荷吸収領域が、前記セルアレイ部の周囲を囲むように形成されていることを特徴とする請求項2記載のCMOSイメージセンサ。

【請求項4】 アレイ状に単位セルが配置されたセルアレイ部を有し、前記セルアレイ内に信号電荷を収集する有効セル群と、前記有効セル群に隣接し暗時レベルを検出するOBセル群を含むCMOSイメージセンサにおいて、前記有効セル群と前記OBセル群との間に前記ノイズ電荷吸収領域が形成されていることを特徴とする請求項1記載のCMOSイメージセンサ。

【請求項5】 前記セルアレイ部内の前記有効セル群間に、前記ノイズ電荷吸収領域が形成されていることを特徴とする請求項1記載のCMOSイメージセンサ。

【請求項6】 アレイ状に単位セルが配置されたセルアレイ部とこのセルアレイ部を操作する周辺回路部とを有するCMOSイメージセンサの製造方法において、有効セル及びOBセルのフォトダイオードを構成するPN接合とノイズ電荷吸収領域内のPN接合が同時に形成されることを特徴とするCMOSイメージセンサの製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、アレイ状に単位セルが配置されたセルアレイ部とこれらセルを駆動する周辺回路部を有するCMOSイメージセンサにおいて、セルアレイ部の周りに基板内のノイズ電荷を吸収する領域を有するCMOSイメージセンサと、CMOSイメージセンサの製造方法に関する。

##### 【0002】

【従来の技術】図5は従来のCMOSイメージセンサの断面図を示す。図5では、P型シリコン基板上1に形成されたセルアレイ部部のセル内フォトダイオード及び周辺回路部NchMOSFETの断面概略図を示す。NchMOSFETはP型シリコン基板1に形成されたPウェル6内に形成されている。セル内フォトダイオード部には、Pウェル5は形成されず、より深い位置にディー

プウェル6が形成されている。これにより、近赤外までの入射光に対して高い感度を得られるようになっている。

【0003】基板表面にはN型拡散層2が形成され、さらに表面にはP型拡散層8が形成され、埋め込みフォトダイオード構造になっている。これにより表面付近で発生するノイズを抑えて画質の向上が図られている。セル内フォトダイオードと周辺回路部NchMOSFETの間にはフィールド酸化膜11が形成され素子分離が行われている。

##### 【0004】

【発明が解決しようとする課題】しかし、このようなCMOSイメージセンサにおいては、暗時レベルを決定するOBセルや有効セルが、その周囲で発生し基板中を浮遊するノイズ電荷の影響を受け画質が劣化するという問題があった。このような問題を生じるのは、周辺回路部で発生し基板中を浮遊するノイズ電荷が、セルアレイ内の有効セルやOBセルのフォトダイオードにノイズとして取り込まれてしまうこと、及び、セルアレイ内の有効セル部で発生し基板中をOBセル部へ移動する電荷が、OBセルのフォトダイオードにノイズとして取り込まれてしまうことが原因となっている。

【0005】本発明は、このような事情を考慮してなされたもので、その目的は、暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを提供することにある。また、製造工程を増加させることなく、暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを製造する方法を提供することにある。

##### 【0006】

【課題を解決するための手段】以上の課題を解決するために、請求項1記載の発明は、アレイ状に単位セルが配置されたセルアレイ部とこのセルアレイ部を操作する周辺回路部とを有するCMOSイメージセンサにおいて、セルまたはセルアレイ部の周囲にノイズ電荷吸収領域が設けられ、ノイズ電荷吸収領域には第一導電型シリコン基板表面に形成された第二導電型拡散層が含まれ、第二導電型拡散層が一定電位に固定されていることを特徴とするCMOSイメージセンサである。

【0007】請求項2記載の発明は、請求項1記載の発明において、ノイズ電荷吸収領域が、セルアレイ部と前記周辺回路部との間に形成されていることを特徴とする。

【0008】請求項3記載の発明は、請求項2記載の発明において、ノイズ電荷吸収領域が、セルアレイ部の周囲を囲むように形成されていることを特徴とする。

【0009】請求項4記載の発明は、請求項1記載の発明において、アレイ状に単位セルが配置されたセルアレイ部を有し、セルアレイ内に信号電荷を収集する有効セ

ル群と、有効セル群に隣接し暗時レベルを検出するOBセル群を含むCMOSイメージセンサにおいて、有効セル群と前記OBセル群との間にノイズ電荷吸収領域が形成されていることを特徴とする。

【0101】請求項5記載の発明は、請求項1記載の発明において、セルアレイ部内の有効セル間にノイズ電荷吸収領域が形成されていることを特徴とする。

【0111】請求項6記載の発明は、アレイ状に単位セルが配置されたセルアレイ部とこのセルアレイを操作する周辺回路部とを有するCMOSイメージセンサの製造方法において、有効セル及びOBセルのフォトダイオードを構成するPN接合とノイズ電荷吸収領域内のPN接合とが同時に形成されることを特徴とするCMOSイメージセンサの製造方法である。

【0112】

【発明の実施の形態】図1に、本発明の第1の実施の形態であるCMOSイメージセンサの断面図を示す。図1は、P型シリコン基板1上に形成されたセルアレイ端部のセル内フォトダイオード、周辺回路部N<sub>ch</sub>MOSFET及びノイズ電荷吸収領域の断面概略図を示す。ノイズ電荷吸収領域では、P型シリコン基板1表面にN型拡散層2が形成されている。このN型拡散層2はセル内フォトダイオード部のN型拡散層2と同じもので同時に形成されている。ノイズ電荷吸収領域のN型拡散層2はコンタクトプラグ3、アルミ配線4によって電源電圧に固定されている。ノイズ電荷吸収領域のN型拡散層2直下には、セルアレイ部、周辺回路部のようなPウェル5、ディープPウェル6は形成されていないが、ノイズ電荷吸収領域のN型拡散層2の外側にはPウェル5が形成されている。

【0113】図2にはCMOSイメージセンサチップのレイアウト概略図を示す。図2に示すように、チップ内には単位セルをアレイ状に配列したセルアレイ部があり、その周りにこのセルアレイを駆動するための周辺回路を配置してある。本発明の実施の形態では、セルアレイ部の周囲の周辺回路部との間にノイズ吸収領域が配置される。

【0114】図3は、P型シリコン基板1上に形成されたセルアレイ内の有効セルのフォトダイオード、OB（オプティカルブラック）セルのフォトダイオード、及びノイズ電荷吸収領域の断面概略図を示す。ノイズ電荷吸収領域は有効セルとOBセルの間に配置され、P型シリコン基板1表面にN型拡散層2が形成されている。このN型拡散層2は有効セル、OBセルのフォトダイオード部のN型拡散層2と同じもので同時に形成されている。ノイズ電荷吸収領域のN型拡散層2はコンタクトプラグ3、アルミ配線4によって電源電圧に固定されている。ノイズ電荷吸収領域のN型拡散層2直下には、有効セル、OBセルのようなPウェル5、ディープPウェル6は形成されていないが、ノイズ電荷吸収領域のN型拡

散層2の外側にはPウェル5が形成されている。

【0115】これら有効セル、OBセルのフォトダイオードを構成するPN接合とノイズ電荷吸収領域のPN接合とは同時に形成されているため、CMOSイメージセンサの製造プロセスにおいて、工程増加は全く無く、これまでの製造プロセスと同様の工数でCMOSイメージセンサを製造することができる。

【0116】図4に、本発明の第2の実施の形態であるCMOSイメージセンサの断面図を示す。図4では、P型シリコン基板1上に形成されたセルアレイ内の有効セルのフォトダイオード間に配置されたノイズ電荷吸収領域の断面概略図を示す。ノイズ電荷吸収領域は有効セル間にあって有効セルを取り囲むように配置され、P型シリコン基板1表面にN型拡散層2が形成されている。このN型拡散層2は有効セルのフォトダイオード部のN型拡散層2と同じもので同時に形成されている。ノイズ電荷吸収領域のN型拡散層2はコンタクトプラグ3、アルミ配線4によって電源電圧に固定されている。ノイズ電荷吸収領域のN型拡散層2直下には、有効セルのようなPウェル5、ディープPウェル6は形成されていないが、ノイズ電荷吸収領域のN型拡散層2の外側にはPウェル5が形成されている。

【0117】本発明の実施の形態によると、ノイズ吸収領域のPN接合は相対的に濃度の低い基板内にあり電源電圧で逆バイアスされており、空乏層が拉がりやすく基板中の浮遊電荷を収集しやすいがランショナルプログラビリティに構成されているため、周辺回路部で発生し基板中を浮遊するノイズ電荷が、ノイズ吸収領域のPN接合に収集され、セルアレイ内の有効セルやOBセルのフォトダイオードに取り込まれ難くなる効果がある。

【0118】また、セルアレイ内の有効セル部で発生し基板中をOBセル部へ移動する電荷が、ノイズ吸収領域のPN接合に収集され、OBセルのフォトダイオードに取り込まれ難くなる効果がある。

【0119】これにより、暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを実現することができる。また、有効セル、OBセルのフォトダイオードを構成するPN接合とノイズ電荷吸収領域のPN接合とは同時に形成されるため、製造工程を増加させることなく、暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを製造する方法を実現することができる。

【0202】

【発明の効果】以上説明したように、本発明によれば、アレイ状に単位セルが配置されたセルアレイ部とこれらセルを駆動する周辺回路部を有するCMOSイメージセンサにおいて、セルアレイ部の周りに基板内のノイズ電荷を吸収する領域を有することによって、有効セル部の基板中で発生した電荷が浮遊して隣接セルに取り込まれ

る前にノイズ吸収領域のPN接合に収集されるため、有効セルのノイズ電荷が低減され画質劣化を防ぐことができる。CMOSイメージセンサを提供することができる。

【0021】また、本発明によれば、有効セル、OBセルのフォトダイオードを構成するPN接合とノイズ電荷吸収領域のPN接合とは同時に形成されるため、製造工程を増加させることなく、暗時レベルを決定するOBセルへのノイズ電荷の影響を低減し、画質劣化を防ぐことができるCMOSイメージセンサを製造する方法を提供することができる。

【図面の簡単な説明】

【図1】 図1は、本発明の第1の実施の形態であるCMOSイメージセンサの断面図を示す図である。

【図2】 図2は、CMOSイメージセンサチップのレ

アウト概略図を示す図である。

【図3】 図3は、本発明の第1の実施の形態であるCMOSイメージセンサの断面図を示す図である。

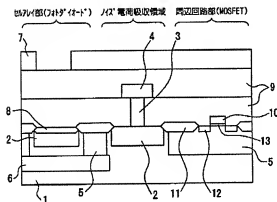
【図4】 図4は、本発明の第2の実施の形態であるCMOSイメージセンサの断面図を示す図である。

【図5】 図5は、従来のCMOSイメージセンサの断面図を示す図である。

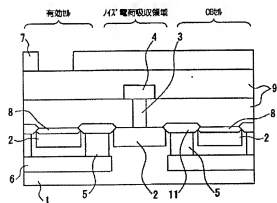
【符号の説明】

1…P型シリコン基板、2…N型拡散層、3…コンタクトプラグ、4…アルミ配線、5…Pウェル、6…ディープPウェル、7…アルミ遮光膜、8…P型拡散層、9…層間絶縁膜、10…ゲートポリシリ、11…フィールド酸化膜、12…ソース・ドレイン拡散層、13…ゲート酸化膜

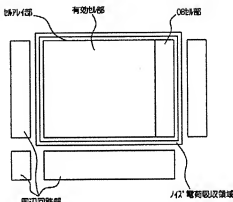
【図1】



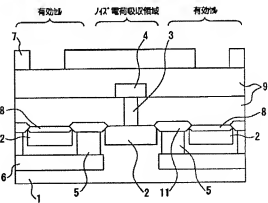
【図3】



【図2】



【図4】



【図5】

